



SYLLABUS KOLEGIJA

Opći podaci o kolegiju

Naziv kolegija:	Logička algebra i digitalni automati
Šifra kolegija u ISVU-u:	38251
Nositelj kolegija	mr.sc. Vedran Vyroubal
Suradnici na kolegiju:	-
Studij i smjer pri kojem se izvodi kolegij:	Mehatronika
ECTS bodovi:	4
Semestar izvođenja kolegija:	3
Uvjetni kolegij polaganja ispita:	-
Ciljevi kolegija:	Programom predmeta student usvaja znanja iz logičke algebre i digitalnih automata. Student usvaja znanja binarnoj logici, Booleovim teoremima, minimizaciji logičkih funkcija, strukturama memorijskih elemenata. Zastupljena su znanja o kombinacijskim i sekvencijalnim sklopovima, te o postupku sinteze sklopova. Student je upoznat sa osnovama VHDL jezika.

Ustrojstvo nastave

Vrsta nastave	Broj sati semestralno:	Obveze studenata po vrsti nastave
Predavanja:	30	
Vježbe (auditorne, jezične):	-	
Vježbe (laboratorijske, praktične):	30	
Terenska nastava:	-	
Ostalo:	-	
UKUPNO:	60	

Praćenje rada studenata i provjere znanja tijekom nastavnog procesa

ISHODI	Kolokvij 1	Kolokvij 2	Usmeni	Ukupno	Prolaz	Vremenski okvir priznavanja ishoda
Ishod 1 Koristiti binarnu logiku i Booleove teoreme	10%		6%	16%	8%	Do kraja ak. god.
Ishod 2 Minimizirati logičke funkcije korištenjem raznih minimizacijskim metoda	10%		6%	16%	8%	Do kraja ak. god.
Ishod 3 Sintetizirati kombinacijski sklop	10%		7%	17%	8.5%	Do kraja ak. god.
Ishod 4 Sintetizirati sekvencijalni sklop		10%	7%	17%	8.5%	Do kraja ak. god.
Ishod 5 Minimizirati memoriju		10%	7%	17%	8.5%	Do kraja ak. god.
Ishod 6 Konstruirati logički sklop korištenjem VHDL jezika		10%	7%	17%	8.5%	Do kraja ak. god.
Ukupno % ocjenskih bodova	30%	30%	40%	100%	50%	
Udio u ECTS	1.2	1.2	1.6	4	2	



SYLLABUS KOLEGIJA

Praćenje provjere znanja na ispitnom roku

Uvjeti pristupanja ispitu					
ISHODI		pisani ispit	usmeni ispit	Ukupno	Prolaz
Ishod 1	Koristiti binarnu logiku i Booleove teoreme	10%	6%	16%	8%
Ishod 2	Minimizirati logičke funkcije korištenjem raznih minimizacijskim metoda	10%	6%	16%	8%
Ishod 3	Sintetizirati kombinajski sklop	10%	7%	17%	8.5%
Ishod 4	Sintetizirati sekvencijalni sklop	10%	7%	17%	8.5%
Ishod 5	Minimizirati memoriju	10%	7%	17%	8.5%
Ishod 6	Konstruirati logički sklop korištenjem VHDL jezika	10%	7%	17%	8.5%
Ukupno % ocjenskih bodova		60%	40%	100%	50%
Udio u ECTS		2.4	1.6	4	

Pregled nastavnih jedinica po tjednima s pripadajućim ishodima učenja

Tjedan	Tema predavanja i ishodi učenja:	Ishod	Tema vježbi i ishodi učenja:	Ishod
1.	Binarna logika	I1	Što je binarna logika?	I1
2.	Teoremi Booleove algebre	I1	Koji su osnovni teoremi logičke algebre?	I1
3.	Minimizacija funkcija	I1	Kako minimizirati logičku funkciju?	I1
4.	Minimizacija funkcija	I1, I2	Kako minimizirati logičku funkciju?	I1, I2
5.	Izvedbe standardnim funkcijama	I2	Što su ekvivalentne logičke funkcije?	I2
6.	Kombinacijski sklopovi	I2, I3	Što su kombinajski sklopovi?	I2, I3
7.	Kombinacijski sklopovi	I2, I3	Što su kombinajski sklopovi?	I2, I3
8.	Memorijski elementi	I3, I4	Što su memorijski elementi?	I3, I4
9.	Sekvencijalni sklopovi	I5	Što su sekvencijalni sklopovi?	I5
10.	Digitalni sinkroni automat – opis, unutarnja stanja	I6	Što je sinkroni digitalni automat?	I6
11.	Digitalni sinkroni automat – sinteza	I6	Kako sintetizirati sinkroni automat?	I6
12.	Asinkroni automat	I6	Što je asinkroni digitalni automat?	I6
13.	Ekvivalentnost stanja	I6	Što su ekvivalentna stanja automata?	I6
14.	Minimizacija memorije	I6	Kako minimizirati memoriju?	I6
15.	Uvod u VHDL	I3, I6	Što je VHDL? Kako VHDL-om opisati digitalni sklop?	I3, I6

Literatura (osnovna / dopunska)

1.	dr.sc. Uroš Peruško, dr.sc. Vlado Glavinić: Digitalni sustavi: Školska knjiga, Zagreb 2005.
2.	dr. Mladen Tkalić: Digitalni automati; Sveučilište u Zagrebu; 1991.